

CLIPPEDIMAGE= JP402054536A

PAT-NO: JP402054536A

DOCUMENT-IDENTIFIER: JP 02054536 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: February 23, 1990

INVENTOR-INFORMATION:

NAME

IWAMORI, TOSHIMICHI

MURATA, MICHIAKI

ASSIGNEE-INFORMATION:

NAME

FUJI XEROX CO LTD

COUNTRY

N/A

APPL-NO: JP63204572

APPL-DATE: August 19, 1988

INT-CL (IPC): H01L021/336;H01L029/60 ;H01L029/784

US-CL-CURRENT: 438/FOR.196,438/158 ,438/297 ,438/655

ABSTRACT:

PURPOSE: To make a resistance of a gate electrode low while coping with shallowness of diffusion layers in source and drain electrodes by causing a silicide at a part of a gate electrode to have its thickness which is thicker than those of silicides at other electrode parts in the case of silicide film thicknesses of semiconductor device which are obtained by forming the silicides on upper parts of respective gate, source, and drain electrodes.

CONSTITUTION: Element isolation regions 2 are formed on a silicon substrate 1 and a gate oxide film 3, poly Si 4, the first silicide 5a

which has a high melting point and is about 2000 \AA thick, and a silicon film 11 are formed; then, a gate electrode 101 is formed by etching. Then, N $\text{\textless SP\textgreater}$ - $\text{\textless SP\textgreater}$ type diffusion layers 102b and 103b are formed by performing ion implantation. After forming an oxide film, side spacers 7 are formed at side faces of the gate electrode by etch-back and N $\text{\textless SP\textgreater}$ - $\text{\textless SP\textgreater}$ type diffusion layers 102a and 103a are formed by performing ion implantation. Then, for instance, a Ti film 12 is formed on the whole surface at the thickness of about 200 \AA ; and then, after treating with heat, the second silicide layers 5b and 6 are formed on the upper part of the gate electrode 101 and on the upper parts of source and drain electrodes 102 and 103 respectively at each film thickness of about 1000 \AA ;.. Finally, unreacted Ti is removed and the film thickness of the second silicide layer is chosen according to depths of the diffusion layers.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-54536

⑤ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月23日

H 01 L 21/336
29/60
29/784

U 7638-5F

8422-5F H 01 L 29/78 3 0 1 P

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑰ 特 願 昭63-204572

⑱ 出 願 昭63(1988)8月19日

⑲ 発 明 者 岩 森 俊 道 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内⑲ 発 明 者 村 田 道 昭 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

㉑ 代 理 人 弁理士 阪本 清孝

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) ゲート電極及びソース電極、ドレイン電極の上部にシリサイドを形成した半導体装置において、

ゲート電極部分のシリサイドの膜厚を、ソース電極、ドレイン電極部分のシリサイドの膜厚より厚く形成したことを特徴とする半導体装置。

(2) ゲート電極及びソース電極、ドレイン電極の上部にシリサイドを形成する半導体装置の製造方法において、

ゲート電極を構成するシリコン層上のみにシリサイドを形成する第1シリサイド層形成工程と、該第1シリサイド層上にシリコン膜を着膜する着膜工程と、該シリコン膜上及びソース電極、ドレイン電極上にシリサイドプロセスによりシリサイドを形成する第2シリサイド層形成工程とを具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ゲート電極及びソース電極、ドレイン電極上にシリサイドを形成した半導体装置及びその製造方法に係り、特にソース電極、ドレイン電極の拡散層が浅く形成されるMOS形半導体装置に関する。

(従来の技術)

MOS形半導体の高集積化、微細化に伴うゲート電極の配線抵抗、容量の増大を防ぐため、ゲート電極上にシリサイドを着膜して低抵抗化したゲート電極を得ることが行われている。

また、MOS形半導体において、ゲート長が短くなるのに伴い、ソース電極、ドレイン電極の拡散接合の深さが浅くなる傾向にある。拡散接合の深さの低下は拡散層のシート抵抗を増加させる結果、拡散層配線抵抗及び拡散層とA1配線とのコンタクト抵抗が増大して素子動作に悪影響を及ぼすのを防ぐため、拡散層上に低抵抗材料を設けることが行われている。

ゲート電極と拡散層とを同時に自己整合的に低抵抗化する技術としては、例えばシリサイドプロセスと呼ばれるものが存在する。これは、シリサイドと高融点金属の耐薬品性の違いを利用して、多結晶Siゲートと拡散層Si上にのみ低抵抗シリサイド層を形成するものである。

シリサイドプロセスによりシリサイド層を形成した半導体装置を第3図に示す。

P型の単結晶シリコン基板31の表面にはフィールド絶縁膜(シリコン酸化膜)から成る分離領域32によって多数の活性領域が区画され、その中にMOSFETが形成されている。MOSFETは二酸化シリコンから成る薄いゲート酸化膜33上に位置するゲート電極34と、シリコン基板31の表面に形成されたN⁺型ソース電極35及びドレイン電極36を有する。ゲート電極34及びソース電極35、ドレイン電極36の上部には、低抵抗シリサイド層37が形成されている。

このシリサイド層37は、ソース電極35、ドレイン電極36及びゲート電極34が形成された

シリコン基板31上の全面に高融点金属を着膜し、熱処理を施すことにより高融点金属とSiとのシリサイド反応を起こすことにより形成し、その後、未反応金属を選択的に除去して、ソース電極35、ドレイン電極36及びゲート電極34の上部のみにシリサイド層37を設けたものである。

(発明が解決しようとする課題)

半導体装置の微細化は益々進み、そのためソース電極及びドレイン電極の拡散層の深さは浅くなりつつある。その結果、ソース電極及びドレイン電極上に形成されるシリサイド層は、シリサイド層による拡散領域のつき抜けを防ぐため、その厚さを薄くする必要がある。

上記従来例では、ソース電極35及びドレイン電極36上に形成されるシリサイド層37aとゲート電極34上に形成されるシリサイド層37bとはシリサイドプロセスにより同時に形成されるため、シリサイド層37aの厚さを薄くするとゲート電極34の上部に形成されるシリサイド層3

7bも薄くなってしまふ。従って、ゲート電極34のシート抵抗を低減することが困難となり、デバイス動作の高速化が損なわれるという問題点があった。

本発明は上記実情に鑑みてなされたもので、ソース電極及びドレイン電極の拡散層のシャロウ化に対応しつつ、ゲート電極材料の低抵抗化を図ることができる半導体装置及びその製造方法を提供することを目的とする。

(課題を解決するための手段)

上記従来例の問題点を解消するため請求項1記載の発明は、ゲート電極及びソース電極、ドレイン電極の上部にシリサイドを形成した半導体装置において、ゲート電極部分のシリサイドの膜厚を、ソース電極、ドレイン電極部分のシリサイドの膜厚より厚く形成したことを特徴としている。

請求項2記載の発明方法は、ゲート電極及びソース電極、ドレイン電極の上部にシリサイドを形成する半導体装置の製造方法において、次の工程を具備することを特徴としている。

ゲート電極を構成するシリコン層上のみに第1シリサイド層を形成する。

この第1シリサイド層上にシリコン膜を着膜する。

このシリコン膜上及びソース電極、ドレイン電極の上部にシリサイドプロセスにより第2シリサイド層を形成する。

(作用)

請求項1記載の発明によれば、ゲート電極部分のシリサイドの膜厚を、ソース電極、ドレイン電極部分のシリサイドの膜厚より厚く形成したので、ソース電極、ドレイン電極上に形成されるシリサイドによる拡散領域のつき抜けを防止するとともに、ゲート電極のシート抵抗を低減することができる。

請求項2記載の発明方法によれば、ソース電極、ドレイン電極部分のシリサイドの膜厚を薄く形成しながら、ゲート電極部分のシリサイドの膜厚を、ゲート電極のシート抵抗を低減するに十分な厚さに形成することができる。

(実施例)

本発明による半導体装置の一例について図面を参照しながら説明する。

第1図は本発明実施例の半導体装置の断面図であり、P型の単結晶シリコン基板1の表面にフィールド絶縁膜(シリコン酸化膜)から成る分離領域2によって多数の活性領域が区画され、その中にMOSFETが形成されている。

MOSFETは二酸化シリコンから成る薄いゲート酸化膜3上に位置するゲート電極101と、シリコン基板1の表面に形成されたソース電極102及びドレイン電極103を有する。

ゲート電極101は、シリコン層4と、その上に形成された低抵抗シリサイド層5とから構成されている。また、ソース電極102及びドレイン電極103の上部には低抵抗シリサイド層6が形成されている。ゲート電極101上のシリサイド層5は、第1シリサイド層5aと第2シリサイド層5bから成る二層構造をなしており、それら全体の膜厚は、ソース電極102及びドレイン電極

領域2を形成する。LOCOSは、Si酸化膜の耐酸化性が高い性質を利用して、シリコン基板1のSi表面の一部に選択的に熱酸化膜を形成する技術である。

次に、シリコン基板1の表面に酸化技術によってゲート酸化膜3を形成し、続いてPoly-Siを約1000Åの厚さに堆積してシリコン層4となるシリコン膜を着膜し、続いてスパッタ法または蒸着法またはCVD法により高融点シリサイドを約2000Åの厚さに着膜し、更にSiを約500Åの厚さに着膜してシリコン膜11を形成する。そして、ホトリソグラフィ工程によりレジストパターン(図示せず)を形成してエッチングを行なうことにより、シリコン層4、第1シリサイド層5a、シリコン膜11の積層構造から成るゲート電極101を形成する(第2図(a))。

次に、イオン注入を行ないソース電極102及びドレイン電極103の一部となるN⁻型拡散領域102b、103bを形成する(第2図(b))。次いで、酸化膜 膜工程と全面エッチバック工

程によりゲート電極101の側面にサイドスペーサ7を形成する。このサイドスペーサ7をマスクとしてイオン注入により、ソース電極102及びドレイン電極103の一部となる深さ1500ÅのN⁺拡散層102a、103aを形成する(第2図(c))。

シリサイド化する高融点金属12(例えばTi)を約200Åの厚さにスパッタ法または蒸着法により全面に形成する(第2図(d))。

次に、1000℃で熱処理を約30分間施し、N⁺拡散層102a、103a及びシリコン膜11上の高融点金属12(Ti)のみを、それらの下層のSiと反応させてシリサイド化させ、ゲート電極101の上部に第2シリサイド層5bを、ソース電極102、ドレイン電極103の上部に第2シリサイド層6を、それぞれ約1000Åの膜厚に形成する(第2図(e))。このとき、ソース電極102、ドレイン電極103には、約1000Åの厚さの拡散層が確保されている。

最後に、未反応の高融点金属12(Ti)をフ

最後に、未反応の高融点金属12(Ti)をフ

化水素液中で選択的にエッチオフして除去する(第2図(f))。

尚、実施例においては、シリコン膜11の全てと高融点金属12とを反応させて第2シリサイド層5bを形成し、第1シリサイド層5aと第2シリサイド層5bとが密着するようにしたが、シリコン膜11の全てを反応させる必要はない。シリコン膜11の一部と高融点金属12とを反応させる場合には、第2シリサイド層5bと第1シリサイド層5aとの間にシリコン膜11が残ることにより積層構造となるが、ゲート電極101の低抵抗化を図る点において何等不都合は生じない。

本実施例によれば、ゲート電極の低抵抗化は第1シリサイド層(膜厚2000Å)及び第2シリサイド層(膜厚1000Å)で図ることができ、拡散層の低抵抗化は第2シリサイド層(膜厚1000Å)で図ることができる。従って、シリサイドプロセスで形成される第2シリサイド層の膜厚を、ソース電極及びドレイン電極の拡散層の深さに最適な厚さに選択して形成することができる。

また、拡散層の深さが更に浅くなり第2シリサイド層を薄く形成しなければならないような場合には、第1シリサイド層のみでゲート電極の低抵抗化を図るようにする。

(発明の効果)

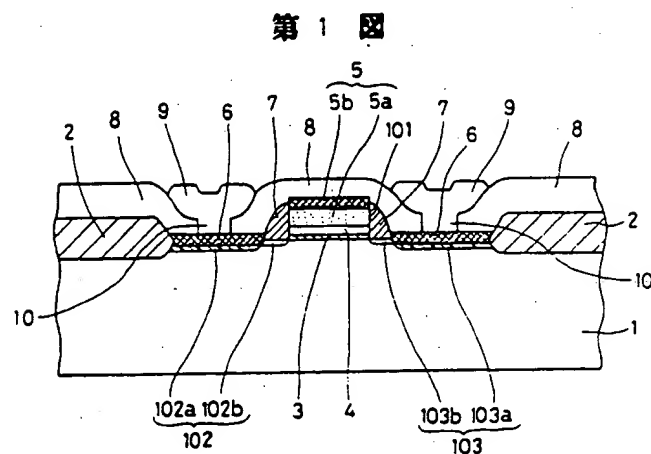
上述したように本発明は、ゲート電極部分のシリサイドの膜厚を、ソース電極、ドレイン電極部分のシリサイドの膜厚より厚く形成したので、ソース電極、ドレイン電極上に形成されるシリサイドによる拡散領域のつき抜けを防止するとともに、ゲート電極のシート抵抗を低減することができ、ソース電極、ドレイン電極の拡散層のシャロウ化に対応しつつゲート電極のシート抵抗を十分に低減することができる。

4. 図面の簡単な説明

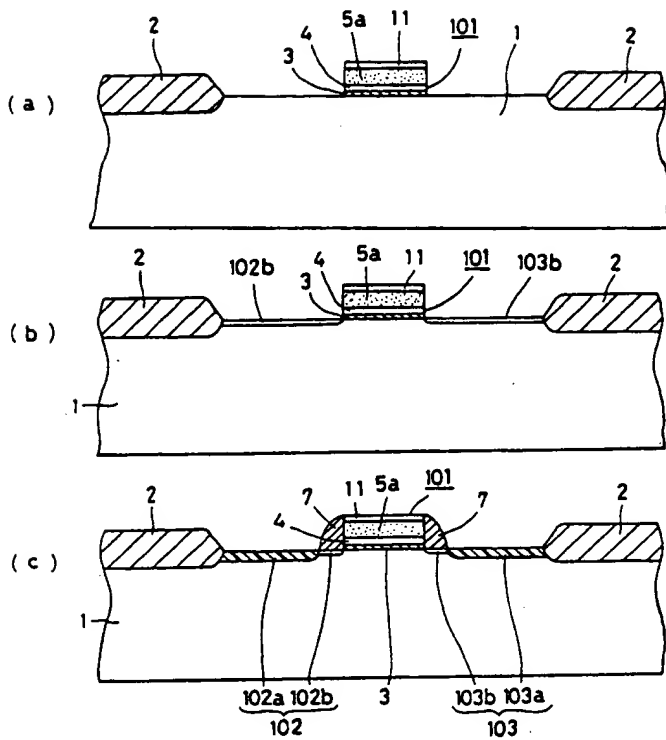
第1図は本発明実施例の半導体装置の断面説明図、第2図(a)乃至(f)は本発明実施例の半導体装置の製造工程の説明図、第3図は従来の半導体装置の断面説明図である。

- 1 ……シリコン基板
- 3 ……ゲート酸化膜
- 4 ……シリコン層
- 5a …シリサイド層(第1シリサイド層)
- 5b …シリサイド層(第2シリサイド層)
- 6 ……シリサイド層(第2シリサイド層)
- 11 ……シリコン膜
- 12 ……高融点金属
- 101 ……ゲート電極
- 102 ……ソース電極
- 103 ……ドレイン電極

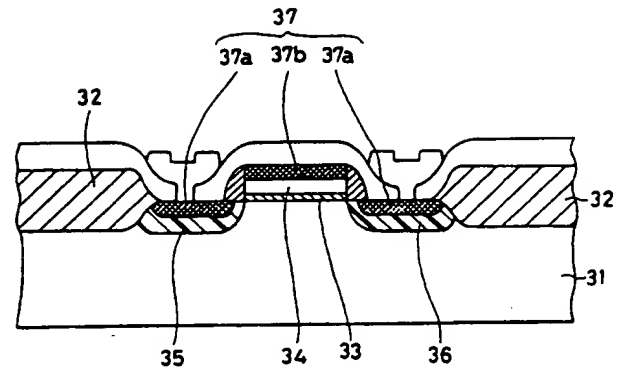
出 願 人 富士ゼロックス株式会社
代理人弁理士 阪 本 清 孝



第 2 図



第 3 図



第 2 図

